

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載
している事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出 願 年 月 日

Date of Application:

2000年 5月30日

出 願 番 号

Application Number:

特願2000-160551

出 願 人

Applicant(s):

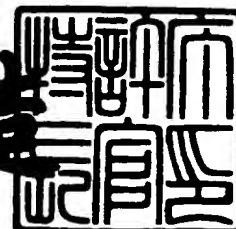
松下電器産業株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年 4月13日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2001-3030419



【書類名】 特許願

【整理番号】 2022020166

【提出日】 平成12年 5月30日

【あて先】 特許庁長官殿

【国際特許分類】 H04L 27/20

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 足立 寿史

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 飯田 正憲

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 朝倉 宏之

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100092794

【弁理士】

【氏名又は名称】 松田 正道

【電話番号】 06-6397-2840

【手数料の表示】

【予納台帳番号】 009896

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9006027

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 送信回路装置

【特許請求の範囲】

【請求項 1】 多値のデジタル値のベースバンド変調信号である I 信号及び Q 信号を前記ベースバンド変調信号よりビット数の小さいデジタル I 信号及び Q 信号にそれぞれ変調する第 1 及び第 2 のデジタル変調器と、位相が直交する搬送波を前記変調されたデジタル I 信号及び Q 信号により変調して合成した信号を出力する直交変調器とを備えたことを特徴とする送信回路装置。

【請求項 2】 前記第 1 及び第 2 のデジタル変調器は、前記多値のデジタル値のベースバンド変調信号である I 信号及び Q 信号をそれぞれ 2 値のデジタル I 信号及び Q 信号に変調することを特徴とする請求項 1 記載の送信回路装置。

【請求項 3】 前記第 1 及び第 2 のデジタル変調器は、それぞれ少なくとも 2 次以上のシグマデルタ変調器を有することを特徴とする請求項 1、または 2 に記載の送信回路装置。

【請求項 4】 前記直交変調器の出力に接続され、前記直交変調器の出力信号の送信周波数帯域外の不要信号を低減して出力する帯域通過フィルタを備えたことを特徴とする請求項 1 ～ 3 のいずれかに記載の送信回路装置。

【請求項 5】 前記位相が直交する搬送波がそれぞれ前記変調されたデジタル I 信号及び Q 信号によって変調された各信号について、それぞれ送信周波数帯域外の不要信号を低減する第 1 及び第 2 の帯域通過フィルタを前記直交変調器内に備え、前記各信号は前記第 1 及び第 2 の帯域通過フィルタを通過した後、合成されて前記直交変調器の出力となることを特徴とする請求項 1 ～ 3 のいずれかに記載の送信回路装置。

【請求項 6】 前記直交変調器は、前記位相が直交する搬送波のそれぞれを振幅変調する第 1 及び第 2 のデジタル R F 変調器を有するものであって、前記変調されたデジタル I 信号及び Q 信号がそれぞれ前記第 1 及び第 2 のデジタル R F 変調器を制御して前記搬送波をステップ的に振幅変調し、その変調された信号を合成した後に出力することを特徴とする請求項 1 ～ 5 のいずれかに記載の送信回路装置。

【請求項 7】 前記第 1 及び第 2 のデジタル R F 変調器は、それぞれ電力増幅器を有し、前記変調されたデジタル I 信号及び Q 信号がそれぞれ前記電力増幅器の電源を制御して前記搬送波を振幅変調するものであって、前記振幅変調された信号が合成されて前記直交変調器の出力となることを特徴とする請求項 6 に記載の送信回路装置。

【請求項 8】 前記第 1 及び第 2 のデジタル R F 変調器は、それぞれ振幅変調器及び電力増幅器を有し、前記搬送波はそれぞれ前記振幅変調器で前記変調されたデジタル I 信号及び Q 信号によって振幅変調され、前記電力増幅器で増幅されるものであって、その増幅された後に合成されて前記直交変調器の出力となることを特徴とする請求項 6 に記載の送信回路装置。

【請求項 9】 前記第 1 及び第 2 のデジタル変調器は、それぞれデュアルゲート F E T からなる電力増幅器を有し、前記搬送波はそれぞれ前記デュアルゲート F E T の第 1 ゲートに入力し、前記変調されたデジタル I 信号及び Q 信号がそれぞれ前記デュアルゲート F E T の第 2 ゲート端子を介して電力増幅器の出力を制御して振幅変調するものであって、前記振幅変調された信号が合成されて前記直交変調器の出力となることを特徴とする請求項 6 に記載の送信回路装置。

【請求項 1 0】 前記電力増幅器は最終増幅段であり、前記直交変調器より後段の回路には送信信号の増幅回路がないことを特徴とする請求項 7 ～ 9 のいずれかに記載の送信回路装置。

【請求項 1 1】 前記第 1 及び第 2 のデジタル変調器の出力信号をそれぞれ波長の異なる光信号に変換する E / O 変換器と、その E / O 変換器から伝送されてくる光信号を電気信号にそれぞれ変換する O / E 変換器とを備え、前記 O / E 変換器の出力信号が前記直交変調器に入力し、前記搬送波をそれぞれ振幅変調することを特徴とする請求項 1 ～ 1 0 のいずれかに記載の送信回路装置。

【請求項 1 2】 前記波長の異なる光信号に変換されたデジタル I 信号及び Q 信号が、同一の光ファイバ内を伝送されることを特徴とする請求項 1 1 に記載の送信回路装置。

【請求項 1 3】 前記搬送波は、前記 O / E 変換器により電気信号に戻されたデジタル I 信号または Q 信号から生成されることを特徴とする請求項 1 1、また

は 1 2 に記載の送信回路装置。

【請求項 1 4】 基準信号源の出力を前記デジタル I 信号及び Q 信号の光信号の波長とは異なる波長の光信号に変換する別の E / O 変換器と、その E / O 変換器から伝送されてくる光信号を電気信号に変換する O / E 変換器とを備え、前記 O / E 変換器の出力信号から前記搬送波を生成することを特徴とする請求項 1 1、または 1 2 に記載の送信回路装置。

【請求項 1 5】 前記シグマデルタ変調器は、それぞれ n 次積分器と量子化器とフィードバック回路とを有するものであり、前記 n 次積分器に入力された値は n 次積分されて前記量子化器に入力されてデジタル値に量子化され、その量子化された値は前記シグマデルタ変調器の出力となるとともに前記フィードバック回路に入力され、前記フィードバック回路の出力は前記シグマデルタ変調器の入力値に加算されて前記 n 次積分回路に入力されることを特徴とする請求項 3 ～ 1 4 のいずれかに記載の送信回路装置。

【請求項 1 6】 前記シグマデルタ変調器は、多段に接続された複数の低次シグマデルタ変調器を有するものであり、前期複数の低次シグマデルタ変調器の出力はそれぞれ前段までの次数 m に対して z 変換で、

$$(1 - z^{-1})^m$$

で示される構成を含む微分器に接続して合成されることを特徴とする請求項 3 ～ 1 5 のいずれかに記載の送信回路装置。

【請求項 1 7】 前記第 1 及び第 2 のシグマデルタ変調器の出力に、低域通過特性を有するデジタルフィルタを備えたことを特徴とする請求項 3 ～ 1 6 のいずれかに記載の送信回路装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、無線通信等で用いられる直交変調器を備えた送信回路装置に関するものである。

【0 0 0 2】

【従来の技術】



Q P S K 等の変調方式を用いるデジタル無線通信で用いられる送信回路装置では、変調器として直交変調器を用いるのが一般的である。図 1 1 に従来の送信回路装置の基本構成を示す。図 1 1 において、4 0 3 は直交変調器、4 0 4 は帯域通過フィルタ、4 0 5 は I Q 信号発生器、4 0 6 は局部発振器、4 0 7 は移相器、4 0 8、4 0 9 はミキサ、4 1 0 は合成器、4 1 1 は電力増幅器であり、直交変調器 4 0 3 は移相器 4 0 7、ミキサ 4 0 8、ミキサ 4 0 9、合成器 4 1 0 から構成される。I Q 信号発生器 4 0 5 はアナログ信号であるベースバンド I 信号及びベースバンド Q 信号を出力し、それぞれ、直交変調器 4 0 3 に入力する。局部発振器 4 0 6 は搬送波周波数の正弦波信号を出力し、その正弦波信号は移相器 4 0 7 で互いに位相が 9 0 度異なる 2 つの信号に分配され、ミキサ 4 0 8 及びミキサ 4 0 9 に入力される。ミキサ 4 0 8 及びミキサ 4 0 9 はそれぞれベースバンド I 信号及び Q 信号によって互いに移相が 9 0 度異なる搬送波周波数の信号を振幅変調し、その変調信号は合成器 4 1 0 で合成されて直交変調器 4 0 3 の出力となる。直交変調器 4 0 3 の出力は電力増幅器 4 1 1 で増幅され、帯域通過フィルタ 4 0 4 で不要な周波数成分を低減されて出力される。

【 0 0 0 3 】

また、従来の別の例として、移動体通信等で使われる光基地局に用いる送信回路装置の例を図 1 2 に示す。光基地局は、親局の電波が届かない地下街などで無線端末を使えるようにするため、基地局の制御機能をすべて有する親局と無線信号に対するフロントエンドとなる子局を光ファイバで接続した構成である。

【 0 0 0 4 】

図 1 2 は、基本的には図 1 1 の構成で、直交変調器 4 0 3 と電力増幅器 4 1 1 の間を光ファイバ 4 2 5 で接続した構成であるので、同一の個所には同一の番号を付して詳細な説明は省略する。図 1 2 において、4 2 1 は親局、4 2 2 は子局、4 2 3 は E / O 変換器、4 2 4 は O / E 変換器、4 2 0 はアンテナである。

【 0 0 0 5 】

親局 4 2 1 では直交変調器 4 0 3 の出力をレーザダイオードからなる E / O 変換器 4 2 3 で、電気信号から光信号に変換し、光ファイバ 4 2 5 を通して子局 4 2 2 に伝送する。子局 4 2 2 はフォトダイオードからなる O / E 変換器 4 2 4 で

受信した光信号を電気信号に変換し、電力増幅器 4 1 1 で増幅し、帯域通過フィルタ 4 0 4 で不要周波数成分を除去してアンテナ 4 2 0 から送信する。

【0 0 0 6】

【発明が解決しようとする課題】

しかしながら、上述のような従来の送信回路装置では、直交変調器 4 0 3 の入力はアナログ信号であり、ミキサ 4 0 8、4 0 9 が歪まない必要がある。そのため、直交変調器 4 0 3 の出力レベルを十分に大きくすることが難しい。そのため、電力増幅器 4 1 1 で増幅するが、電力増幅器 4 1 1 も歪みの少ない線形領域で動作させる必要があるため、飽和レベルに対して十分に小さなレベルで動作する必要がある。そのため、電力増幅器 4 1 1 の消費電力が大きく、送信回路装置全体の消費電力を小さくできなかった。

【0 0 0 7】

また、別の従来例である光基地局の送信回路装置である図 1 2 の構成では、電力増幅器 4 1 1 の消費電力が大きいのに加え、E/O変換器 4 2 3、光ファイバ 4 2 5、O/E変換器 4 2 2 についても線形性が要求される。そのため、子局の構成は単純であるが、線形性の確保が厳しくなり、消費電力が大きくなってしまいうという課題がある。

【0 0 0 8】

本発明は、従来の送信回路装置のこのような課題を考慮し、線形性がよく、送信出力電力効率がよく、消費電力の小さな送信回路装置を提供することを目的とするものである。

【0 0 0 9】

【発明を解決するための手段】

本発明は、多値のデジタル値のベースバンド変調信号である I 信号及び Q 信号をベースバンド変調信号よりビット数の小さいデジタル I 信号及び Q 信号にそれぞれ変調する第 1 及び第 2 のデジタル変調器と、位相が直交する搬送波を変調されたデジタル I 信号及び Q 信号により変調して合成した信号を出力する直交変調器とを備えた送信回路装置である。

【0 0 1 0】

【発明の実施の形態】

以下に、本発明をその実施の形態を示す図面に基づいて説明する。

(実施の形態 1)

図 1 は、本発明にかかる実施の形態 1 の送信回路装置の構成図である。図 1 において、1 は第 1 のデジタル変調器、2 は第 2 のデジタル変調器、3 は直交変調器、4 は帯域通過フィルタ、5 は I Q データ発生器、6 は局部発振器である。直交変調器 3 は、移相器 7、第 1 のデジタル R F 変調器 8、第 2 のデジタル R F 変調器 9、合成器 1 0 から構成される。

【0 0 1 1】

次に、上記実施の形態 1 の送信回路装置における動作について、図面を参照しながら説明する。

【0 0 1 2】

まず、I Q データ発生器 5 はベースバンド I 信号を第 1 のデジタル変調器 1 に出力し、ベースバンド Q 信号を第 2 のデジタル変調器 2 に出力する。ここで、ベースバンド I 信号及び Q 信号は多値のデジタル値である。第 1 のデジタル変調器 1 は入力信号をシグマデルタ変調し、ベースバンド変調信号よりもビット数の小さなデジタル I 信号を出力する。同様に、第 2 のデジタル変調器 2 は入力信号をシグマデルタ変調し、デジタル Q 信号を出力する。

【0 0 1 3】

また、局部発振器 6 から出力された局部信号は、移相器 7 で 9 0 度位相が異なる 2 つの搬送波周波数の信号になり、それぞれ第 1 のデジタル R F 変調器 8、第 2 のデジタル R F 変調器 9 に入力する。第 1 のデジタル R F 変調器 8 に入力された搬送波信号は第 1 のデジタル変調器 1 の出力信号によってステップ的に振幅変調され、第 2 のデジタル R F 変調器 9 に入力された 9 0 度位相が異なる搬送波信号は第 2 のデジタル変調器 2 の出力信号によってステップ的に振幅変調される。第 1 のデジタル R F 変調器 8 の出力と第 2 のデジタル R F 変調器 9 の出力は合成器 1 0 で加算されて直交変調器 3 の出力信号となり、帯域通過フィルタ 4 を通って送信出力となる。帯域通過フィルタ 4 はデジタル R F 変調器の出力に発生する不要な信号成分を合成後に低減するために設けられる。

【 0 0 1 4 】

デジタル R F 変調器はビット数の小さなデジタル I Q 信号の値に対応する出力のみ正確に対応するレベルを出力すればよいので、線形性の低いデジタル R F 変調器でも使用可能となる。従って、デジタル R F 変調器に含まれる素子を飽和に近い状態で使うことが可能となり、高効率化が可能となる。また、アナログ特性に依存する構成要素が少ないため、線形性の確保が容易である。

【 0 0 1 5 】

次に、図 2 (a) に第 1 のデジタル R F 変調器 8 の構成例を示す。電源制御器 2 2 は 2 値のデジタル I 信号で制御され、増幅器 2 1 の供給電圧をステップ的に変化させ、デジタル I 信号の各レベルに対して出力信号の平均振幅を比例させる。出力振幅は各入力点でのみ規定されればよい。増幅器 2 1 は各電圧状態で、正弦波である搬送波を増幅するだけであるので、基本的に高調波以外の歪が発生しない。そのため、増幅器 2 1 を飽和に近い動作条件で用いても、送信出力の近傍に発生する歪が小さい。また、O F F 時は電流がほとんど流れない。そのため、高効率化が可能である。第 2 のデジタル R F 変調器 9 についても全く同様である。

【 0 0 1 6 】

また、図 2 (b) は、第 1 のデジタル R F 変調器 8 の別の構成例を示す図である。振幅変調器 2 3 はデジタル I 信号で制御される。搬送波は振幅変調器 2 3 でステップ的に制御され、増幅器 2 1 に入力して増幅される。増幅器 2 1 は B 級あるいは C 級動作に近いバイアス条件で動作させることで、入力が O F F 状態での消費電力を小さくすることができる。第 2 のデジタル R F 変調器 9 についても全く同様である。

【 0 0 1 7 】

また、図 2 (c) は、図 2 (b) の振幅変調器 2 3 と増幅器 2 1 の位置を入れ替えた構成例を示す図である。増幅器 2 1 は最大出力時に飽和に近い条件で動作して搬送波を増幅するため、消費電流が少なく、増幅器自体の電源が変動しないため、安定な動作が可能である。

【 0 0 1 8 】

また、図 2 (d) は、第 1 のデジタル R F 変調器 8 の別の構成例を示す図である。増幅器 2 1 はデュアルゲート F E T 2 5 を用いた増幅器である。搬送波は第 1 ゲートに入力し、増幅されて出力される。デジタル I 信号は第 2 ゲートに入力し、増幅器 2 1 の出力レベルをステップ的に制御する。デュアルゲート F E T 2 5 を用いることで、高速な制御特性と高利得の増幅特性が容易に得られる。第 2 のデジタル R F 変調器 9 についても全く同様である。

【 0 0 1 9 】

以上の図 2 (a)、(b)、(d) において、デジタル I 信号が 2 値の場合は増幅器 2 1 は単純な O N / O F F 動作をするため、消費電力を大きく改善できる。また、図 2 (b)、(c) において、振幅変調器 2 3 に R F スイッチを用いることができ、構成が簡単になる。また、図 2 (a) ~ (d) において、デジタル R F 変調器内の増幅器を送信回路装置全体の最終増幅段とすることで、装置全体として高効率化が実現できる。

【 0 0 2 0 】

図 3 は、第 1 のデジタル変調器 1 及び第 2 のデジタル変調器 2 でシグマデルタ変調を行うシグマデルタ変調器の構成例を示す図である。図 3 において、3 1 は n 次積分器、3 2 は量子化器、3 3 はフィードバック回路、3 4 は乗算器、3 5 は加算器である。量子化器 3 2 は n 次積分器 3 1 の出力を量子化単位 L で量子化して出力する。量子化された出力値はフィードバック回路 3 3 を通って乗算器 3 4 で量子化単位 L を乗算され、加算器 3 5 で入力値と加算され、 n 次積分器 3 1 に入力し、 n 次積分されて出力される。

【 0 0 2 1 】

n 次積分器 3 1 を z 変換で $A(z)$ とすると、

$$A(z) = z^{-1} / (1 - z^{-1})^n$$

である。

また、フィードバック回路 3 3 を z 変換で $B(z)$ とすると、

$$B(z) = ((1 - z^{-1})^{n-1} - 1) / z^{-1}$$

である。

ここで、 z^{-1} は 1 クロック遅延素子を意味し、D フリップフロップで実現する。

量子化器 3 2 は入力値を量子化単位 L で除算し、商の整数部を出力する。除算は量子化単位 L 以上の桁のみを出力することで実現でき、乗算器 3 4 での量子化単位 L の乗算と加算器 3 5 での加算は単純に上位ビットとしてフィードバック回路 3 3 の出力を入力値の上位ビットとすることで実現できる。

【0 0 2 2】

入力値を F 、出力を Y とすると、図 3 の構成は、

$$Y = F / L \cdot z^{-1} + (1 - z^{-1})^n Q$$

で示される。

これは n 次のシグマデルタ変調器として動作することを意味する。また、

$$A(z) = 1 / (1 - z^{-1})^n, \quad B(z) = (1 - z^{-1})^{n-1}$$

の場合は、

$$Y = F / L + (1 - z^{-1})^n Q$$

となって、

出力が 1 クロックずれるだけで同様のシグマデルタ変調器として動作する。

【0 0 2 3】

一方、

$$|1 - z^{-1}|$$

に対する周波数特性は、

$$|2 \sin(\pi f / f_s)|$$

で示される。ここで、 f_s はクロックの周波数である。図 3 の構成では量子化雑音 Q に、

$$|2 \sin(\pi f / f_s)|^n$$

の周波数特性が乗算されることになる。図 4 に図 3 に示したシグマデルタ変調器の次数に対する量子化雑音の周波数特性を示す。横軸は図 4 に示すように、次数が高くなるにつれて、低周波数域の量子化雑音レベルが低減される。即ち、入力値よりも粗いビット数の出力でも、低周波数域では量子化雑音の増加を抑えた出力を得ることができる。また、クロック周波数を高くすることで、改善度を上げることができる。

【0 0 2 4】

また、図 5 (a) は、2 次のシグマデルタ変調器の構成例を示す図であり、図 3 で $n = 2$ とした場合に相当する。図 5 (a) において、4 1 は 2 次積分器、4 2 は量子化器、4 3 はフィードバック回路、4 7 は乗算器、4 8 は加算器である。Q は量子化器 4 2 で加わる量子化誤差である。

【0 0 2 5】

入力値は、加算器 4 8 で乗算器 4 7 の出力を加算され 2 次積分器 4 1 に入力する。2 次積分器 4 1 の出力は量子化器 4 2 で量子化され、量子化された出力はフィードバック回路 4 3 に出力される。フィードバック回路 4 3 の出力は乗算器 4 7 で量子化単位 L を乗算されて加算器 4 8 に接続される。ここで、フィードバック回路 4 3 は遅延回路 4 4、2 倍回路 4 5、加算器 4 6 からなる。量子化器 4 2 の出力は遅延回路 4 4 及び 2 倍回路 4 5 に接続する。加算器 4 6 は遅延回路 4 4 の出力から 2 倍回路 4 5 の出力を減算して乗算器 4 7 に出力する。2 倍回路 4 5 は入力値の 2 倍の値を出力する回路であり、2 進論理回路では単純に 1 ビット上位にシフトして LSB をゼロにする構成で実現できる。遅延回路 4 4 は入力値を 1 クロック遅延させて出力する。

【0 0 2 6】

1 クロックの遅延を z^{-1} で表す z 変換を用いると、2 次積分器 4 1 は、

$$z^{-1} / (1 - z^{-1})^2$$

で表される構成である。

図 5 (b)、(c)、(d) にそれぞれ 2 次積分器 4 1 の構成例を示す。図 5 (b) において、加算器 5 1 と遅延回路 5 2 は 1 次積分器を構成する。入力値 X_1 は加算器 5 1 で遅延回路 5 2 の出力を加算され、加算器 5 1 の出力は遅延回路 5 2 に入力する。この 1 次積分器は z 変換で $1 / (1 - z^{-1})$ で表される。同様に、加算器 5 3 と遅延回路 5 4 は 1 次積分器を構成する。加算器 5 1 の出力は加算器 5 3 に入力して遅延回路 5 4 の出力を加算され、加算器 5 3 の出力は遅延回路 5 4 に入力する。遅延回路 5 4 の出力は 2 次積分器の出力値 X_2 となる。遅延回路 5 2 及び 5 4 は入力値を 1 クロック遅延させて出力する。2 次積分器の出力に遅延回路 5 4 の出力を用いているため、2 次積分器全体の回路は z 変換で、

$$z^{-1} / (1 - z^{-1})^2$$

となる。

【 0 0 2 7 】

図 5 (c) は、図 5 (b) に対して、2 つの 1 次積分器の接続が異なる構成を示す図である。2 次積分器全体の回路は z 変換で、

$$z^{-1} / (1 - z^{-1})^2$$

となり、図 5 (b) と同じ入出力動作をする。

【 0 0 2 8 】

図 5 (d) において、7 1 は加算器、7 2 は遅延回路である。加算器 7 1 は入力値 X_1 と加算器 7 5 の出力を加算し、遅延回路 7 2 に出力する。遅延回路 7 2 の出力は 2 倍回路 7 4 及び遅延回路 7 3 に入力するとともに、2 次積分器の出力値 X_2 となる。遅延回路 7 2 及び 7 3 は、入力値を 1 クロック遅延させて出力する回路で、2 倍回路 7 4 は入力値を 2 倍にして出力する回路である。加算器 7 5 は 2 倍回路 7 4 の出力から遅延回路 7 3 の出力を減算した結果を加算器 7 1 に出力する。この構成も、2 次積分器全体の回路は z 変換で、

$$z^{-1} / (1 - z^{-1})^2$$

となる。

【 0 0 2 9 】

以上のように構成されたシグマデルタ変調器において、量子化器 4 2 は、入力値を L で除算した商の整数部のみを出力する。フィードバック回路 4 3 を z 変換で表すと、 $(z^{-1} - 2)$ であり、すなわち、

$$((1 - z^{-1})^2 - 1) / z^{-1}$$

で示される。2 次積分器 4 1 は、

$$z^{-1} / (1 - z^{-1})^2$$

と表されるので、

図 5 (a) の回路全体を z 変換で表すと、出力を Y とすると、

$$Y = z^{-1} F / L + (1 - z^{-1})^2 Q$$

で示される。

【 0 0 3 0 】

次に、図 6 は、図 5 の回路を 2 段接続して 4 次のシグマデルタ変調器を構成し

た場合を示す図である。図 6 において、200 は第 1 の 2 次シグマデルタ変調器、220 は第 2 の 2 次シグマデルタ変調器、230 は 2 次微分回路である。第 1 の 2 次シグマデルタ変調器 200 は、2 次積分器 201、量子化器 202、フィードバック回路 203、乗算器 207、加算器 208 から構成され、フィードバック回路 203 は、遅延回路 204、2 倍回路 205、加算器 206 から構成される。第 2 の 2 次シグマデルタ変調器 220 は、2 次積分器 221、量子化器 222、フィードバック回路 223、乗算器 227、加算器 228 から構成され、フィードバック回路 223 は、遅延回路 224、2 倍回路 225、加算器 226 から構成される。第 1 の 2 次シグマデルタ変調器 200 及び第 2 の 2 次シグマデルタ変調器 220 は、図 5 (a) と同じ構成であり、詳細な説明は省略する。

【0031】

図 6 に示す構成では、外部より入力した分数部データは第 1 の 2 次シグマデルタ変調器 200 に入力する。第 1 の 2 次シグマデルタ変調器 200 の量子化器 202 の出力は遅延回路 209 に接続する。加算器 210 は第 1 の 2 次シグマデルタ変調器 200 の量子化器 202 の入力から乗算器 211 の出力を減算し、第 2 の 2 次シグマデルタ変調器 220 の入力とする。乗算器 211 は量子化器 202 の出力に量子化単位 L を乗算し、加算器 210 に出力する。第 2 の 2 次シグマデルタ変調器 220 の量子化器 222 の出力は 2 次微分回路 230 に入力する。2 次微分回路 230 は、遅延回路 231、加算器 232、遅延回路 233、加算器 234 から構成される。遅延回路 231 と加算器 232、遅延回路 233 と加算器 234 は、それぞれ 1 次の微分回路を構成する。2 次微分回路 230 の入力 は遅延回路 231 と加算器 232 に入力する。加算器 232 は 2 次微分回路 230 の入力から遅延回路 231 の出力を減算し、次段の遅延回路 233 及び加算器 234 に接続する。加算器 234 は前段の出力である加算器 232 の出力から遅延回路 233 の出力を減算して出力する。加算器 240 は遅延回路 209 の出力と 2 次微分回路 230 の出力を加算し、回路全体の出力とする。

【0032】

以上のように構成されたシグマデルタ変調器について、以下、その動作を述べる。第 1 の 2 次シグマデルタ変調器 200 は、出力を Y1、量子化器 202 で加

わる量子化誤差を Q_1 とすると、 z 変換では、

$$Y_1 = z^{-1}F/L + (1 - z^{-1})^2 Q_1$$

で示される。

第2の2次シグマデルタ変調器220は、入力を F_2 、出力を Y_2 、量子化器222で加わる量子化誤差を Q_2 とすると、

$$Y_2 = z^{-1}F_2/L + (1 - z^{-1})^2 Q_2$$

で示される。

ここで、 $F_2 = -LQ_1$ なので、

$$Y_2 = -z^{-1}Q_1 + (1 - z^{-1})^2 Q_2$$

である。

また、2次微分回路230は、

$$(1 - z^{-1})^2$$

であるので、2次微分回路の出力 Y_3 は、

$$Y_3 = (1 - z^{-1})^2 Y_2 = -z^{-1}(1 - z^{-1})^2 Q_1 + (1 - z^{-1})^4 Q_2$$

となる。従って加算器240の出力 Y_4 は、

$$Y_4 = z^{-1}Y_1 + Y_3 = -z^{-2}F/L + (1 - z^{-1})^4 Q_2$$

となる。

これは4次のシグマデルタ変調器として動作することを意味する。

【0033】

前述したように、

$$|1 - z^{-1}|$$

に対する周波数特性は、

$$|2 \sin(\pi f / f_s)|$$

で示される。ここで、 f_s はクロックの周波数である。従って、図6の4次のシグマデルタ変調器では量子化雑音 Q に、

$$|2 \sin(\pi f / f_s)|^4$$

の周波数特性が乗算されることになる。従って、前述の2次のシグマデルタ変調器における量子化雑音 Q の係数に比べて、低い周波数領域での量子化雑音の抑圧度がさらに大きくなる。

【 0 0 3 4 】

なお、一般的には、1以上の n 、 m について、第1の n 次シグマデルタ変調器と第2の m 次シグマデルタ変調器を組み合わせるとき、第2の m 次シグマデルタ変調器の出力に n 次微分回路を設け、第1の n 次シグマデルタ変調器の出力の遅延を合わせることで、全体として $(n+m)$ 次のシグマデルタ変調器とすることができる。さらに、3つ以上のくみあわせについても同様にできることは明らかである。

【 0 0 3 5 】

図7は、図1のデジタル変調器において、多値のデジタル値を出力するシグマデルタ変調器の出力に低域通過特性を有するデジタルフィルタを設けた場合を示す図である。図3あるいはその組み合わせの構成による高次のシグマデルタ変調器の出力は一般的には多値の出力となる。デジタルフィルタ103は低域通過特性を有し、図4に示したように高い周波数でレベルが高くなる量子化雑音を低減する。その後で2値のデジタル値に変換することで、デジタル変調器の入力から量子化雑音の少ない2値のデジタル値を得ることができる。

【 0 0 3 6 】

図8は、図1の送信回路装置において、帯域通過フィルタ4を第1のデジタルRF変調器8及び第2のデジタルRF変調器9の出力の合成後ではなく、それぞれの出力の直後に帯域通過フィルタ110、111として配置した構成である。他の構成、動作は図1と同様であるので説明は省略する。図8の構成では合成前に帯域通過フィルタ110、111で不要な周波数成分を低減するため、不要信号成分が第1のデジタルRF変調器8及び第2のデジタルRF変調器9のそれぞれに干渉するのを防ぐことができる。

【 0 0 3 7 】

なお、本実施の形態では、デジタル変調器に図3、図5、図6に示した構成のシグマデルタ変調器を用いているが、ノイズシェーピング効果を有し、ベースバンドIQ信号よりもビット数の小さなデジタル出力をするシグマデルタ変調器であれば、他の構成によるシグマデルタ変調器であっても同様の結果が得られることはいふまでもない。

【 0 0 3 8 】

また、シグマデルタ変調に限らず、パルス幅変調など多ビット入力を2ビットに変換する回路であっても、直交変調器内の増幅器の効率が低い送信装置を実現する効果を得られることは明らかである。

(実施の形態2)

図9は、本発明にかかる実施の形態2の送信回路装置を示す構成図である。図9は、図1の送信回路装置のデジタル変調器と直交変調器の間を光ファイバで接続した場合に相当する構成である。図1と同一個所には同一の番号を付して詳細な説明は省略する。また、図2～図8に示した内容を適用できるのも同様であるので詳細な説明を省略する。

【 0 0 3 9 】

図9において、300は光ファイバ、301は親局、302は子局、303はアンテナ、304、305はE/O変換器、306は合波器、307は分波器、308、309はO/E変換器、310はクロック再生回路である。デジタル変調器1、デジタル変調器2の出力はそれぞれE/O変換器304、305で光信号に変換される。E/O変換器304、305はレーザダイオードであり、それぞれ波長の異なる光を出力する。E/O変換器304及び305の出力は合波器306で合波され、親局301より出力される。

【 0 0 4 0 】

親局301より出力された光信号は、光ファイバ300内を伝送し、子局302に入力する。子局302に入力した光信号は、分波器307により、波長ごとに分波され、それぞれO/E変換器308、309に入力する。O/E変換器308、309はフォトダイオードであり、それぞれに入力した光信号を電気信号であるデジタルI信号、デジタルQ信号に変換する。クロック再生回路310は、デジタルI信号及びデジタルQ信号よりクロックを抽出し、局部発振器6に出力する。局部発振器6は入力したクロックを基準信号とするPLL発振器であり、クロックに位相同期した搬送波周波数の信号を出力する。また、デジタルI信号、デジタルQ信号は直交変調器3に入力し、上記実施の形態1で説明したのと同様にして搬送波を変調する。直交変調器3の出力は帯域通過フィルタ4で不要

な周波数成分を低減されて、アンテナ 3 0 3 から出力される。

【 0 0 4 1 】

以上の構成によれば、親局 3 0 1 から子局 3 0 2 への伝送はデジタル信号の伝送であり、変調された信号をアナログ伝送をするのに比べて光伝送系の周波数帯域を狭くできる。また、E/O変換器 3 0 4, 3 0 5 から O/E変換器 3 0 8, 3 0 9 に至る光伝送系での歪特性に対する許容度を広くすることができる。また、ベースバンドデジタル I 信号、Q 信号を伝送するのではなく、シグマデルタ変調を行ってから伝送することにより子局側での信号処理を最小限にすることができる。子局 3 0 2 の出力信号の周波数は親局 3 0 1 から伝送されるクロックに同期するため、子局単体での周波数安定度を考慮する必要がない。さらに、実施の形態 1 と同様に変調器の消費電力を小さくできるので、小型で低消費電力の子局 3 0 2 を実現できる。従って、小型の光基地局システムが構築できる。

【 0 0 4 2 】

図 1 0 は、図 9 の構成に対して、親局 3 0 1 から子局 3 0 2 に伝送する局部発振器 6 のための基準信号の伝送方法が異なる別の例を示す構成図である。図 1 0 において、3 2 1 は基準発振器、3 2 2 は E/O 変換器、3 2 3 は合波器、3 2 4 は分波器、3 2 5 は O/E 変換器である。親局内の基準発振器 3 2 1 の出力は E/O 変換器 3 2 2 で光信号に変換される。E/O 変換器 3 0 4、3 0 5、3 2 2 の光出力信号の波長はすべて異なり、合波器 3 2 3 で合波されて光ファイバ 3 0 0 を介して親局 3 0 1 から子局 3 0 2 に伝送される。子局 3 0 2 に伝送された波長の異なる光信号は、分波器 3 2 4 で波長ごとに分波されてそれぞれ O/E 変換器 3 0 8、3 0 9、3 2 5 に入力し、電気信号に変換される。O/E 変換器 3 0 8、3 0 9 の出力はデジタル I 信号、デジタル Q 信号として直交変調器 3 に入力する。O/E 変換器 3 2 5 の出力は基準信号として局部発振器 6 に入力する。局部発振器 6 は PLL 発振器であり、入力した基準信号に位相同期した搬送波周波数の信号を出力する。

【 0 0 4 3 】

この構成によれば、O/E 変換器及び E/O 変換器が図 9 の構成よりも増加するが、子局 3 0 2 の基準信号として純度の高い安定した信号が得られる利点があ

る。それ以外の特性、利点は図 9 と同様である。

【 0 0 4 4 】

なお、図 1 0 では子局 3 0 2 の局部発振器 6 が P L L としたが、親局 3 0 1 より直接搬送波周波数またはその 2 倍の周波数の信号を伝送すれば、回路構成としてはさらに簡単になる。

【 0 0 4 5 】

【発明の効果】

以上述べたところから明らかなように本発明は、ベースバンド I Q 信号をビット数の少ないデジタル信号にデジタル変調し、直交変調器で搬送波を変調することにより、低消費電力で線形性のよい送信回路装置を実現することができるという長所を有する。

【図面の簡単な説明】

【図 1】

本発明にかかる実施の形態 1 の送信回路装置の構成図である。

【図 2】

同実施の形態 1 におけるデジタル R F 変調器の構成図である。

【図 3】

同実施の形態 1 におけるシグマデルタ変調器の一例を示す構成図である。

【図 4】

上記図 3 のシグマデルタ変調器におけるの周波数特性図である。

【図 5】

同図 (a) は、同実施の形態 1 における 2 次シグマデルタ変調器の構成図、同図 (b) 、 (c) 、 (d) は、そのうちの 2 次積分器の例を示す図である。

【図 6】

同実施の形態 1 における 4 次シグマデルタ変調器の構成図である。

【図 7】

同実施の形態 1 におけるデジタル変調器の一例を示す構成図である。

【図 8】

同実施の形態 1 における別の構成例を示す図である。

【図 9】

本発明にかかる実施の形態 2 の送信回路装置の一例を示す構成図である。

【図 1 0】

同実施の形態 2 における別の一例を示す構成図である。

【図 1 1】

従来の送信回路装置の一例を示す構成図である。

【図 1 2】

従来の送信回路装置の別の一例を示す構成図である。

【符号の説明】

- 1 第 1 のデジタル変調器
- 2 第 2 のデジタル変調器
- 3、4 0 3 直交変調器
- 4、1 1 0、1 1 1、4 0 4 帯域通過フィルタ
- 5 I Q データ発生器
- 6、4 0 6 局部発振器
- 7、4 0 7 移相器
- 8 第 1 のデジタル R F 変調器
- 9 第 2 のデジタル R F 変調器
- 1 0、4 1 0 合成器
- 2 1 増幅器
- 2 2 電源制御器
- 2 3 振幅変調器
- 2 5 デュアルゲート F E T
- 3 1 n 次積分器
- 3 2、4 2、2 0 2、2 2 2 量子化器
- 3 3、4 3、2 0 3、2 2 3 フィードバック回路
- 4 1、2 0 1、2 2 1 2 次積分器
- 1 0 1 デジタル変調器
- 1 0 2 シグマデルタ変調器

- 1 0 3 デジタルフィルタ
- 2 0 0 第 1 の 2 次シグマデルタ変調器
- 2 2 0 第 2 の 2 次シグマデルタ変調器
- 2 3 0 2 次微分回路
- 3 0 0、4 2 5 光ファイバ
- 3 0 1、4 2 1 親局
- 3 0 2、4 2 2 子局
- 3 1 0 クロック再生回路
- 3 2 1 基準発振器
- 4 0 5 I Q 信号発生器

【書類名】 図面

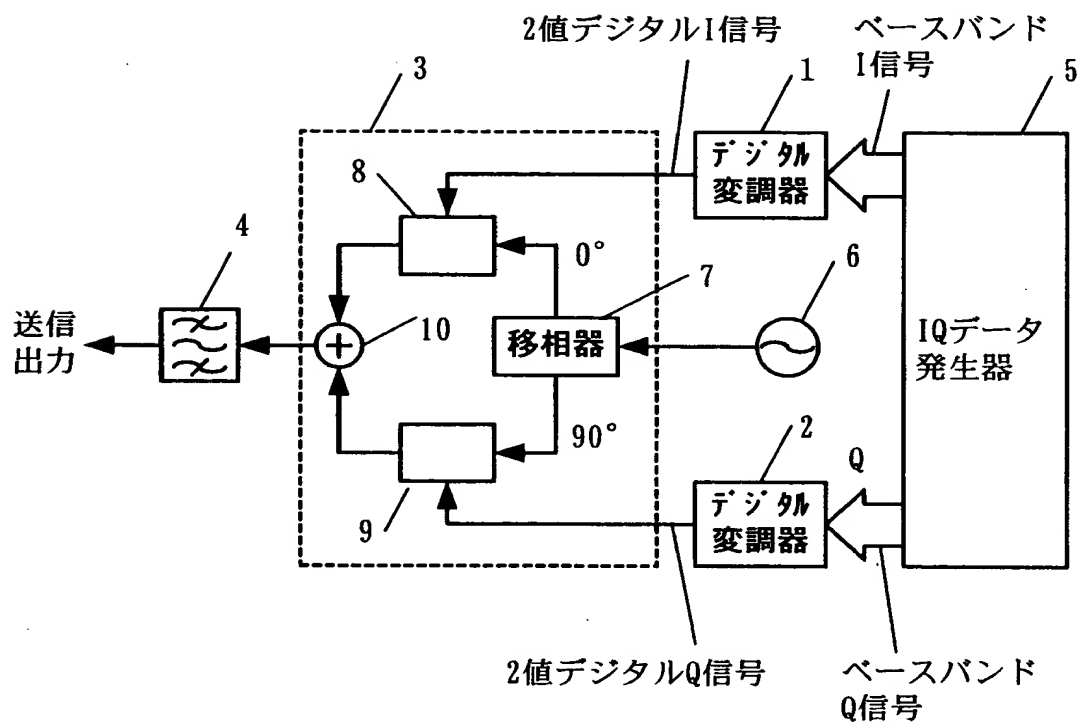
【図 1】

3...直交変調器

6...局部発振器

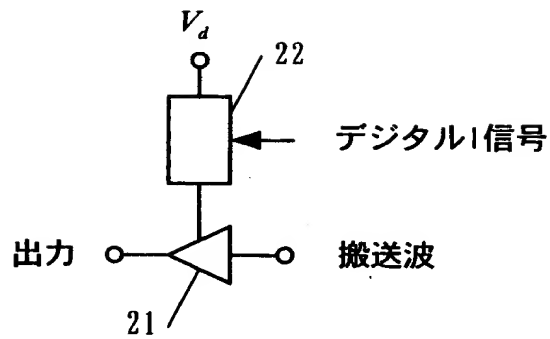
8...第1のデジタルRF変調器

9...第2のデジタルRF変調器



【図 2】

(a)

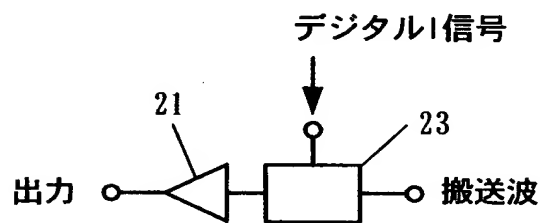


22...電源制御器

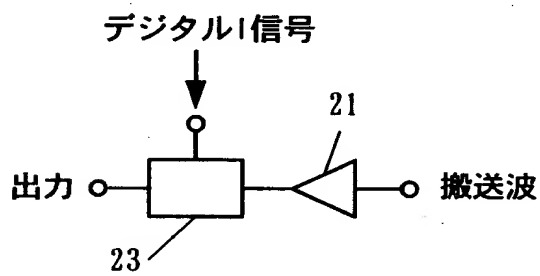
23...振幅変調器

24...増幅器

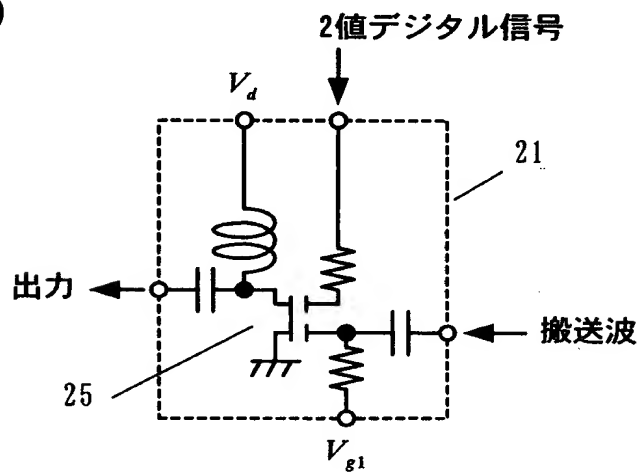
(b)



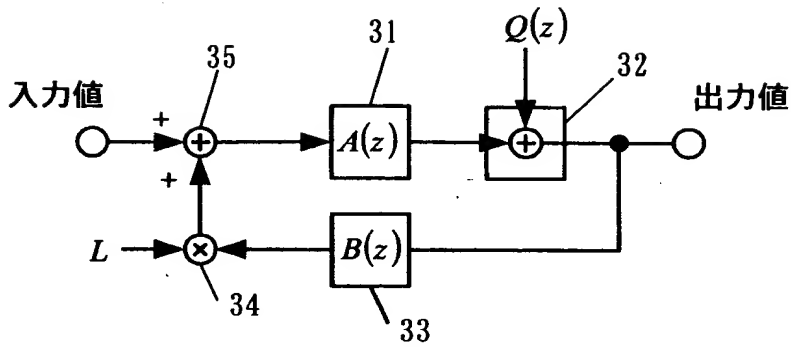
(c)



(d)



【図 3】



31...n次積分器

32...量子化器

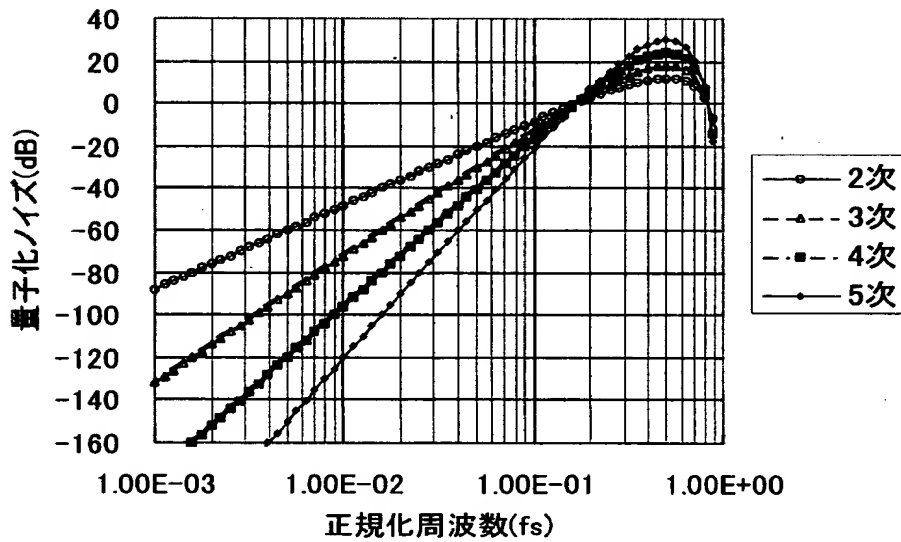
33...フィードバック回路

$$A(z) = \frac{z^{-1}}{(1-z^{-1})^n} \quad \text{かつ} \quad B(z) = \frac{(1-z^{-1})^n - 1}{z^{-1}}$$

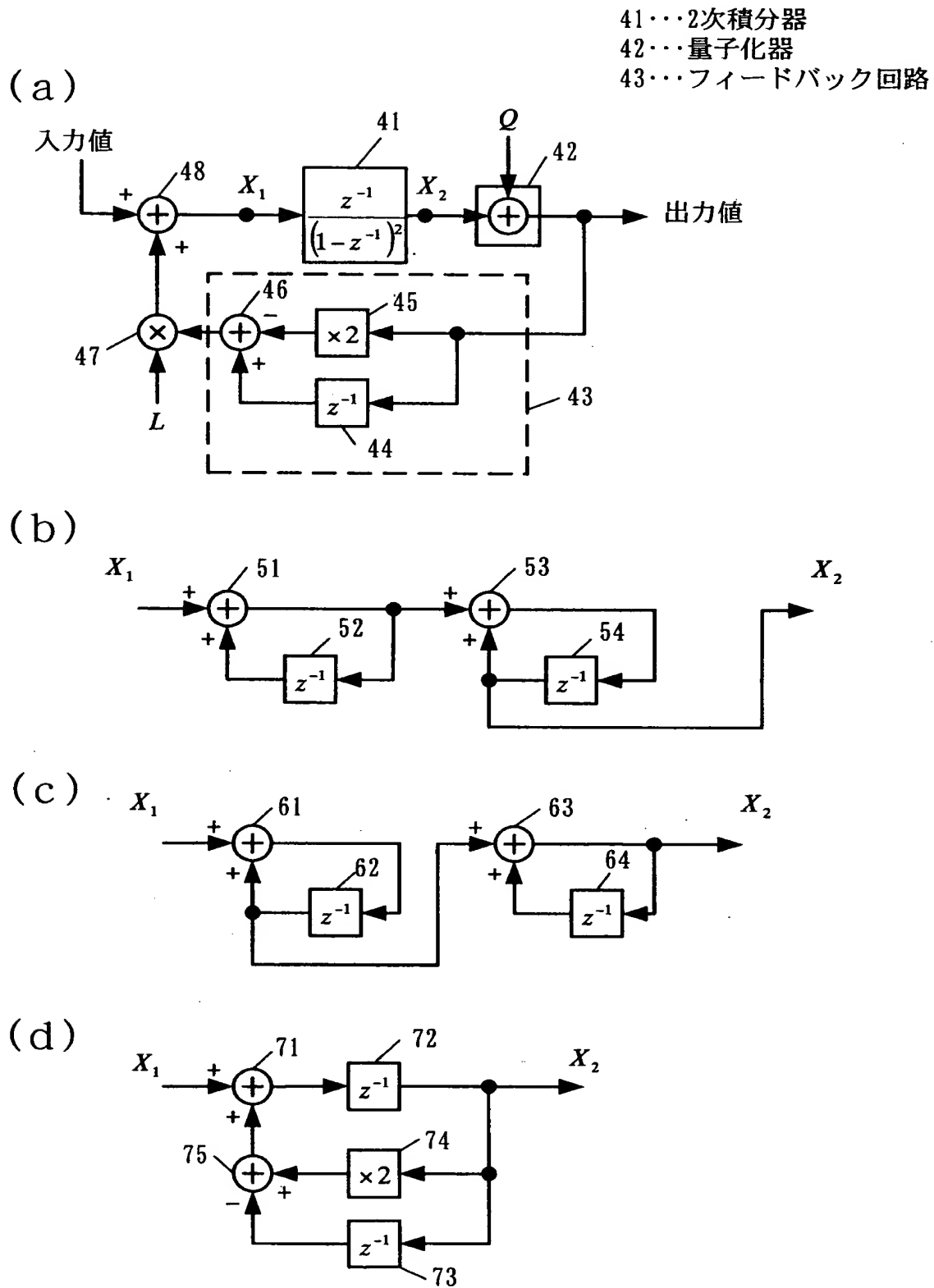
または

$$A(z) = \frac{1}{(1-z^{-1})^n} \quad \text{かつ} \quad B(z) = (1-z^{-1})^n - 1$$

【図 4】

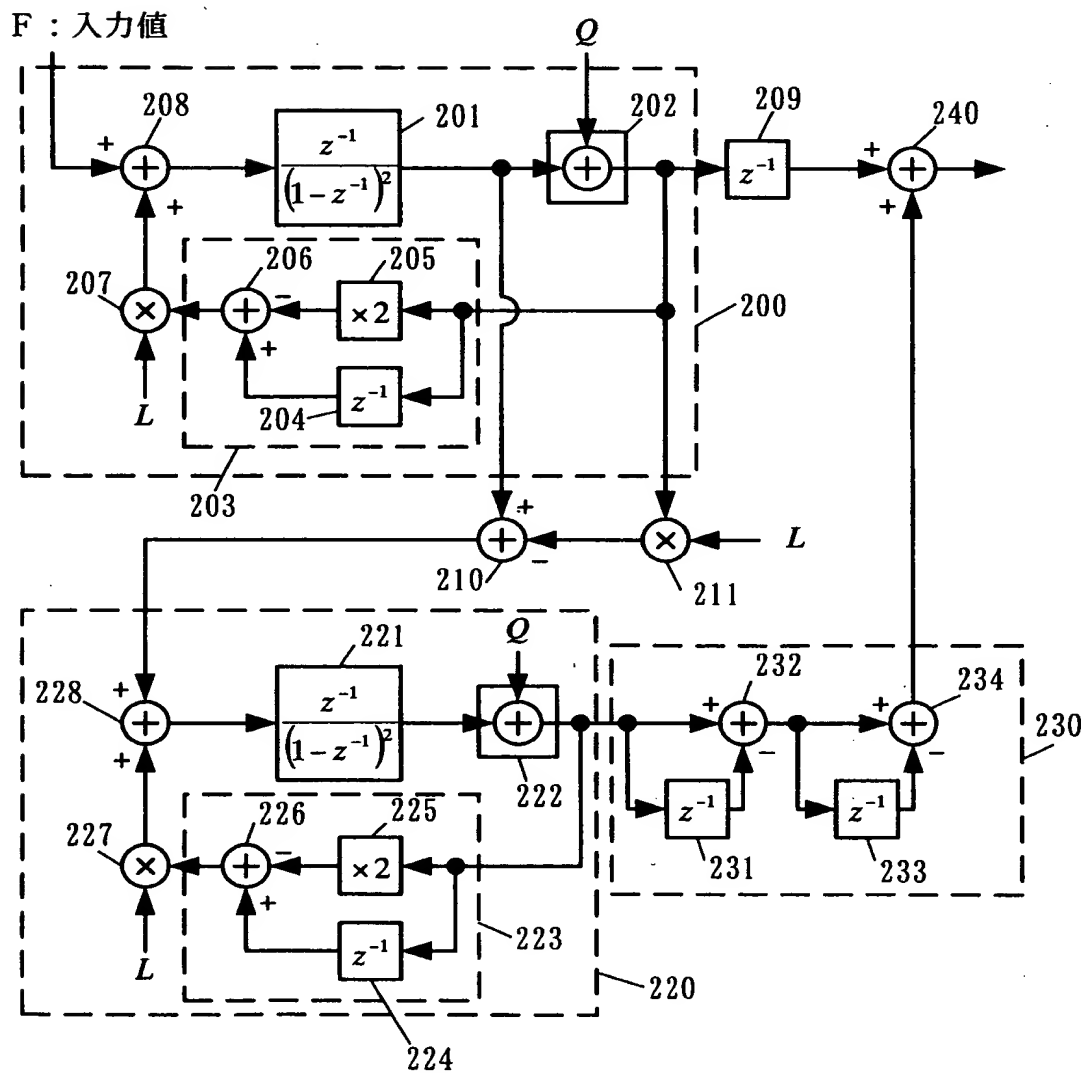


【図 5】

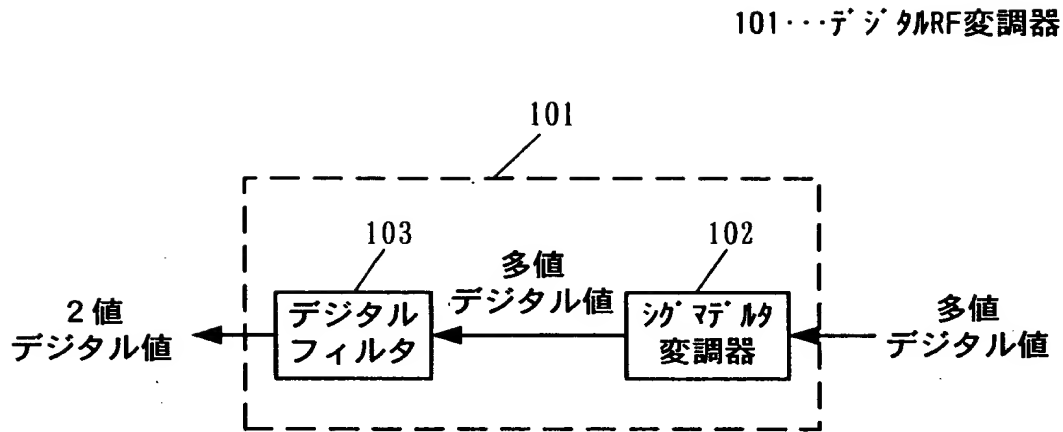


【図 6】

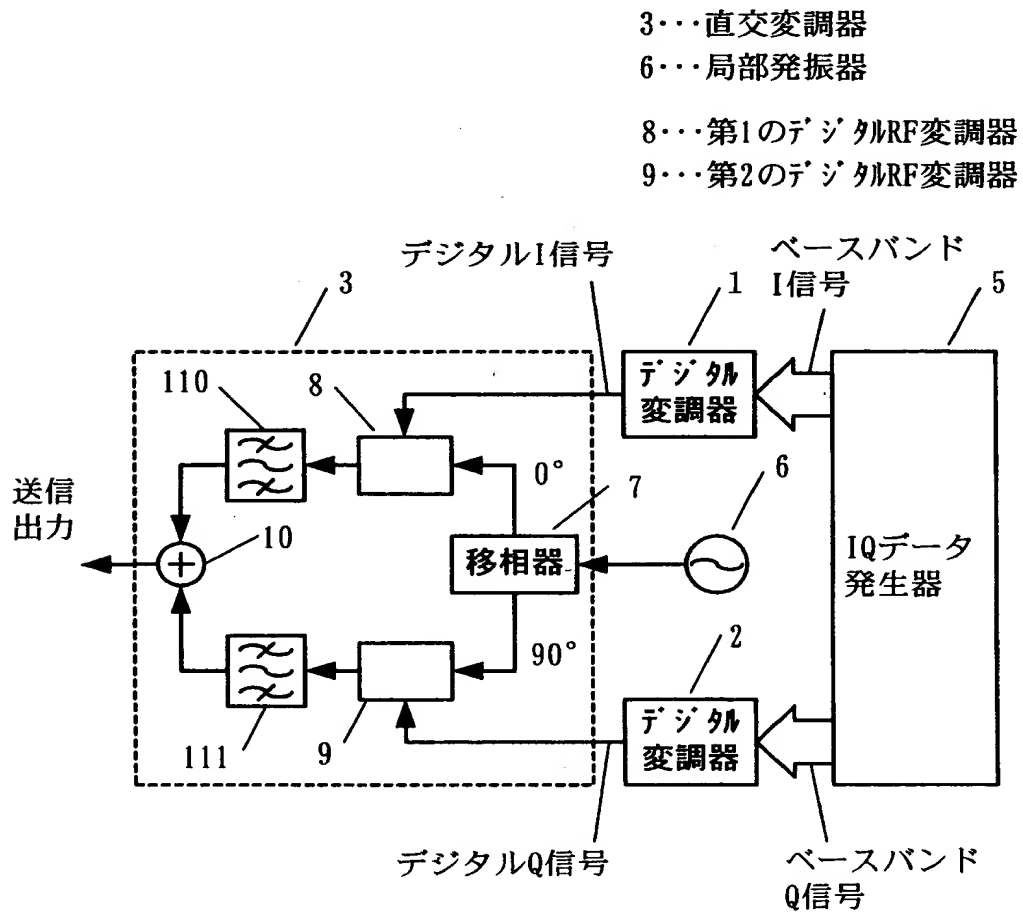
- 200…第1の2次シグマデルタ変調器
 201…2次積分器
 202…量子化器
 203…フィードバック回路
 220…第2の2次シグマデルタ変調器
 221…2次積分器
 222…量子化器
 223…フィードバック回路
 230…2次微分回路



【図 7】

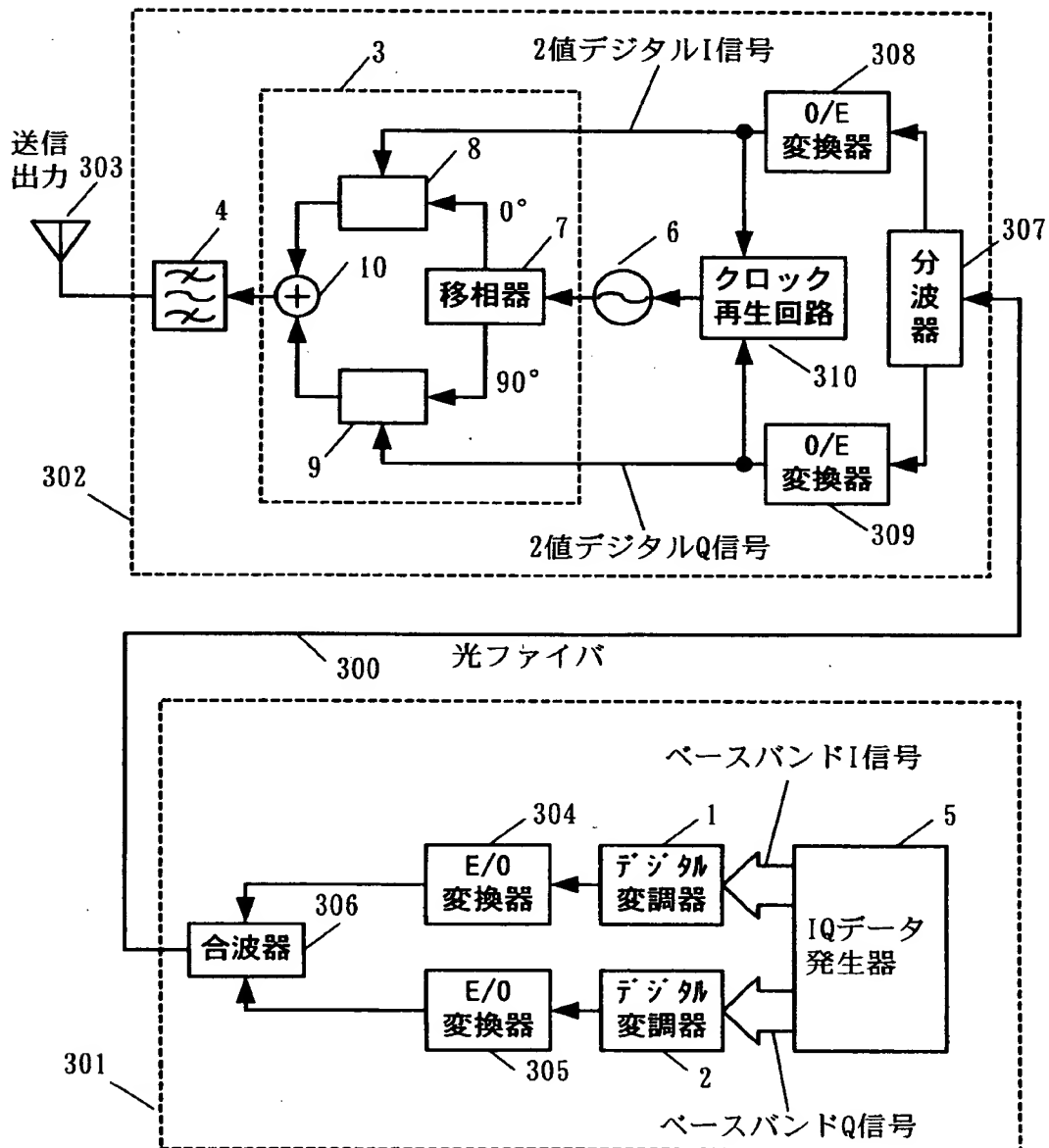


【図 8】



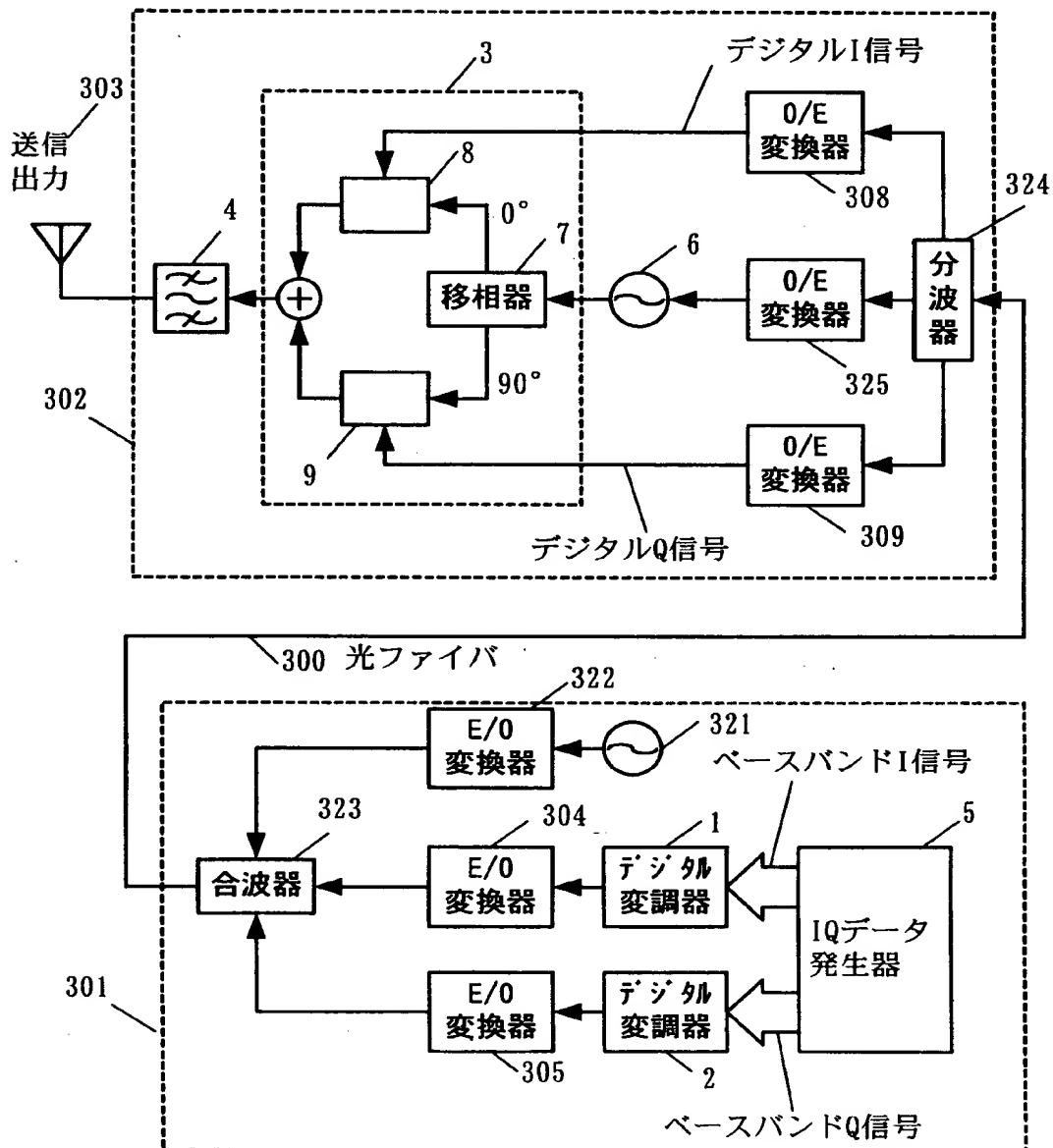
【図9】

- 3…直交変調器
- 8…第1のデジタルRF変調器
- 9…第2のデジタルRF変調器
- 301…親局
- 302…子局



【図10】

- 3...直交変調器
- 8...第1のデジタルRF変調器
- 9...第2のデジタルRF変調器
- 301...親局
- 302...子局
- 321...基準発振器

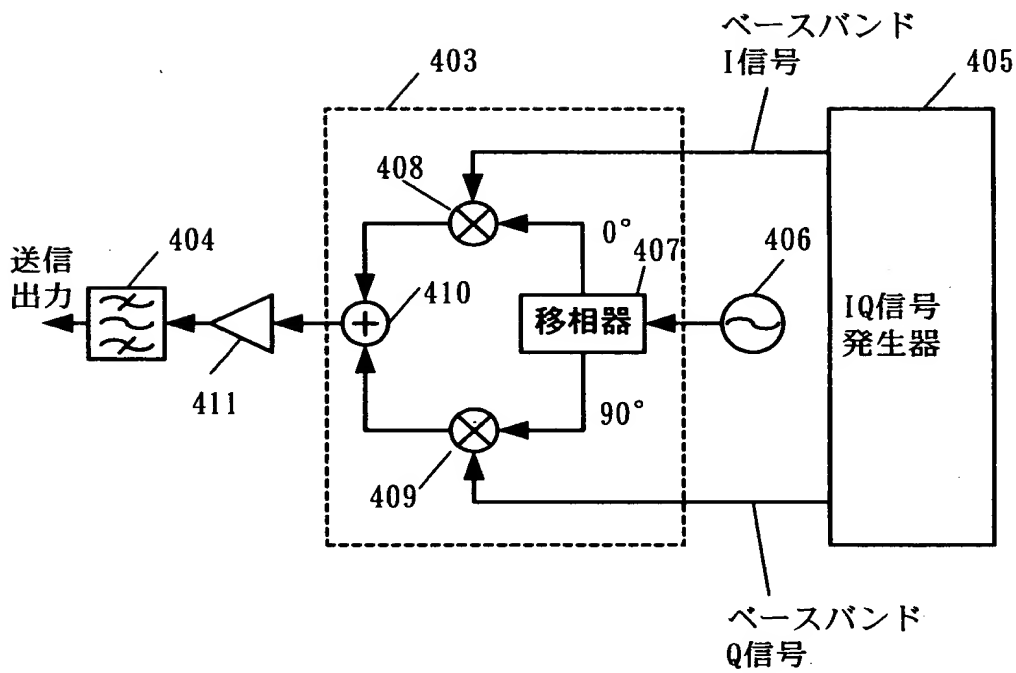


【図 1 1】

403…直交変調器

408、409…ミキサ

411…電力増幅器



【図 1 2】

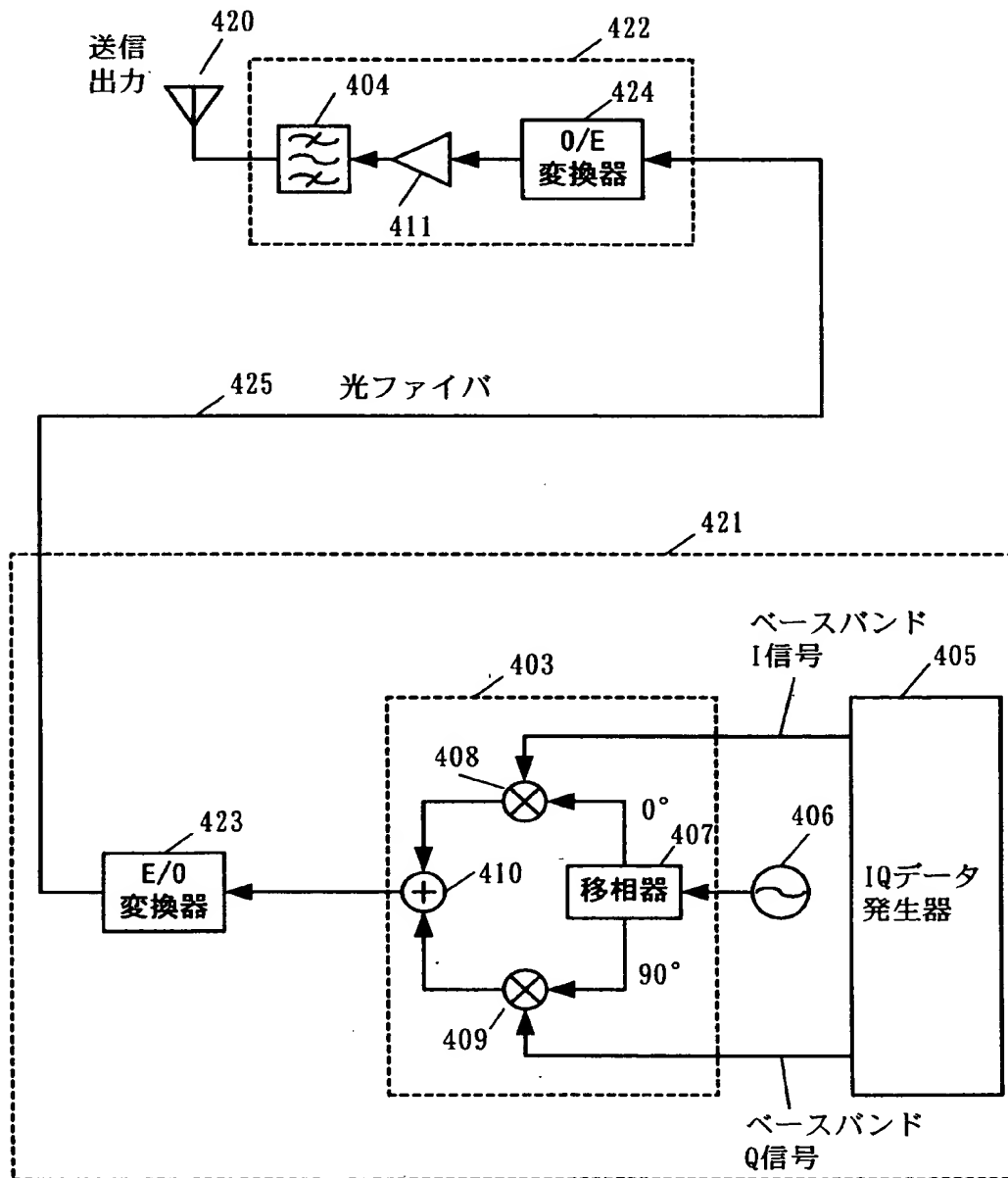
403…直交変調器

408、409…ミキサ

411…電力増幅器

421…親局

422…子局



【書類名】 要約書

【要約】

【課題】 直交変調器を用いた送信回路において、線形性を確保しながら出力レベルをあげるためには消費電力が大きくなり、電力効率が低下してしまう。

【解決手段】 第 1、第 2 のデジタル変調器 1、2 は多値のデジタル値であるベースバンド I、Q 信号をシグマデルタ変調し、2 値のデジタル I、Q 信号を出力し、直交変調器 3 の第 1 及び第 2 のデジタル RF 変調器 8、9 はデジタル I、Q 信号により搬送波をステップ的に振幅変調する。合成された変調波は帯域通過フィルタ 4 を通って出力される。デジタル RF 変調器の素子は飽和に近い状態で使用可能であり、アナログ特性に依存する構成要素が少ないため、高効率で低消費電流が可能で、かつ、線形性の確保が容易となる。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 8 2 1]

1. 変更年月日	1 9 9 0 年 8 月 2 8 日
[変更理由]	新規登録
住 所	大阪府門真市大字門真 1 0 0 6 番地
氏 名	松下電器産業株式会社